

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-317505
 (43)Date of publication of application : 16.11.1999

(51)Int.Cl.

H01L 27/108
 H01L 21/8242
 G11C 11/409
 G11C 11/407
 G11C 11/401

(21)Application number : 10-123141

(22)Date of filing : 06.05.1998

(71)Applicant :

HITACHI LTD
 HITACHI ULSI SYSTEMS CO LTD

(72)Inventor :

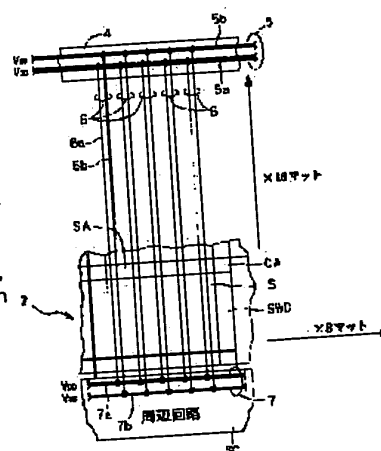
NINOMIYA KOICHIRO
 MIYATAKE SHINICHI
 SUZUKI TSUYUKI
 YOKO HIDEYUKI
 MIYAUCHI HIDEOTOSHI
 OTA AKIRA
 FUJII ISAMU
 ITO YUTAKA
 KATO HIDEAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid the decline in the power supply voltage fed to a column decoder, etc., as well as notably reducing the layout area for power supply wirings.

SOLUTION: A pair of power supply lines 5 for supplying a column decoder 4 with power source are formed above the column decoder 4. The power supply lines 5 are connected to other multiple power supply lines 6 comprising power supply lines 6a for supplying a power source voltage VDD as well as ground wirings 6b for supplying a ground potential VSS. The power supply lines 6 formed of wirings between column selecting lines above a memory array 2 is able notably to decrease the decline in the power supply voltage fed to the column decoder 4, by dispersing the power supply using multiple power supply lines 6. Furthermore, since the power supply is dispersed by the power supply lines 6, the wiring width of the power supply lines 5 can be made narrow.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-317505

(43) 公開日 平成11年(1999)11月16日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108
21/8242
G 1 1 C 11/409
11/407
11/401

H 0 1 L 27/10 6 8 1 C
G 1 1 C 11/34 3 5 3 E
3 5 4 D
3 7 1 K

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平10-123141

(22) 出願日 平成10年(1998) 5 月 6 日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町 5 丁目 22 番 1 号

(72) 発明者 二宮 幸一郎

東京都小平市上水本町 5 丁目 22 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

(74) 代理人 弁理士 筒井 大和

最終頁に続く

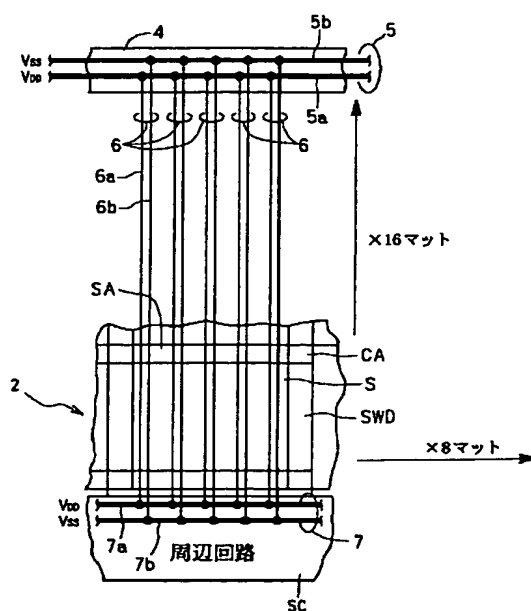
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 カラムデコーダなどに供給される電源電圧の電圧降下を防止し、かつ電源配線のレイアウト面積を大幅に小さくする。

【解決手段】 カラムデコーダ 4 の上方には、該カラムデコーダ 4 に電源を供給する一対の電源線 5 が形成されている。電源線 5 は、電源を供給する複数の電源線 6 と接続され、各々の電源線 6 は、電源電圧 V_{DD} を供給する電源供給線 6 a とグランド電位 V_{SS} を供給するグランド配線 6 b とからなっている。電源線 6 は、メモリアレイ 2 の上方のカラム選択線の間に配線が形成され、複数の電源線 6 を用いて電源供給を分散することにより、カラムデコーダ 4 に供給される電源の電圧降下を大幅に減少できる。また、電源線 6 によって電源が分散して供給されているので、電源線 5 の配線幅を小さくすることができる。

図 3



2: メモリアレイ
4: カラムデコーダ(読み出し系回路)
6: 電源線(電源配線)

【特許請求の範囲】

【請求項1】 電源を供給する複数の電源配線をメモリアレイ上に形成し、前記複数の電源配線により読み出し系回路に電源を供給することを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、前記読み出し系回路が、カラムデコーダ、センスアンプまたはワードドライバのうち、少なくともいずれか1つであることを特徴とする半導体集積回路装置。

【請求項3】 センスアンプにソース電圧を供給するソース供給配線に、メモリアレイ上に形成されたバイパス用ソース供給配線を接続したことを特徴とする半導体集積回路装置。

【請求項4】 ワード線を多分割化した階層形ワード線構成により構成された半導体集積回路装置であって、電源を供給する複数の電源配線をメモリアレイ上に形成し、前記複数の電源配線により読み出し系回路に電源を供給することを特徴とする半導体集積回路装置。

【請求項5】 請求項4記載の半導体集積回路装置において、前記読み出し系回路が、カラムデコーダ、センスアンプまたはサブワードドライバのうち、少なくともいずれか1つであることを特徴とする半導体集積回路装置。

【請求項6】 ワード線を多分割化した階層形ワード線構成により構成された半導体集積回路装置であって、センスアンプにソース電圧を供給するソース供給配線に、メモリアレイ上に形成されたバイパス用ソース供給配線を接続したことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置に関し、特に、読み出し系回路における電源供給に適用して有効な技術に関するものである。

【0002】

【従来の技術】 本発明者が検討したところによれば、たとえば、階層形ワード線（DWD: Divided Word Driver）構成のDRAM（Dynamic Random Access Memory）において、カラム（列）方向のビット線を選択するカラムデコーダの電源は、該カラムデコーダ上に配線された1本の電源電圧と基準電位である1本のグランド電位との一対の電源配線によって供給されている。

【0003】 なお、この種の半導体集積回路装置について詳しく述べてある例としては、株式会社培風館、1994年11月5日発行「アドバンスト エレクトロニクスⅨ 超LSIメモリ」伊藤清男（著）、P145～P150があり、この文献には、DRAMにおけるデコーダの回路構成などが記載されている。

【0004】

【発明が解決しようとする課題】 ところが、上記のよう

な半導体集積回路装置では、次のような問題点があることが本発明者により見出された。

【0005】 すなわち、カラムデコーダなどに電源を供給する電源配線は、前述した一対の電源配線がカラムデコーダの上方に一方の端部から他方の端部にかけて配線されるように形成されており、カラムデコーダの遠端部では、配線の抵抗などによる電圧降下が発生してしまい、動作速度の高速化の妨げとなるという問題がある。

【0006】 また、配線抵抗を低減するために、電源配線の配線幅が大きく形成されており、これにより、配線律則によって上方に電源配線が形成されているカラムデコーダなどの幅が大きくなってしまい、半導体チップにおける省面積化が困難となる問題がある。

【0007】 本発明の目的は、カラムデコーダなどに供給される電源電圧の電圧降下を防止し、かつ電源配線のレイアウト面積を大幅に小さくすることのできる半導体集積回路装置を提供することにある。

【0008】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0010】 すなわち、本発明の半導体集積回路装置は、電源を供給する複数の電源配線をメモリアレイ上に形成し、当該複数の電源配線により読み出し系回路に電源を供給するものである。

【0011】 また、本発明の半導体集積回路装置は、前記読み出し系回路が、カラムデコーダ、センスアンプまたはワードドライバのうち、少なくともいずれか1つよりなるものである。

【0012】 それらにより、読み出し系回路の上方に形成された電源配線の配線幅を小さくできるので、配線律則である読み出し系回路の幅を小さくすることができ、かつ読み出し系回路に供給される電源の電圧降下を大幅に低減することができる。

【0013】 さらに、本発明の半導体集積回路装置は、センスアンプにソース電圧を供給するソース供給配線に、メモリアレイ上に形成されたバイパス用ソース供給配線を接続したものである。

【0014】 それにより、センスアンプ上方に形成されたソース電圧を供給する配線幅を小さくできるので、配線律則によるセンスアンプを小さくでき、かつセンスアンプに供給される電源の電圧降下を大幅に低減することができる。

【0015】 また、本発明の半導体集積回路装置は、ワード線を多分割化した階層形ワード線構成において、電源を供給する複数の電源配線をメモリアレイ上に形成し、当該複数の電源配線により読み出し系回路に電源を

供給するものである。

【0016】さらに、本発明の半導体集積回路装置は、前記読み出し系回路が、カラムデコーダ、センスアンプまたはサブワードドライバのうち、少なくともいずれか1つでよりなるものである。

【0017】それらにより、階層形ワード線構成における読み出し系回路の上方に形成された電源配線の配線幅を小さくできるので、配線律則である読み出し系回路の幅を小さくすることができ、かつ読み出し系回路に供給される電源の電圧降下を大幅に低減することができる。

【0018】また、本発明の半導体集積回路装置は、ワード線を多分割化した階層形ワード線構成におけるセンスアンプにソース電圧を供給するソース供給配線に、メモリアレイ上に形成されたバイパス用ソース供給配線を接続したものである。

【0019】それにより、センスアンプ上方に形成されたソース電圧を供給する配線幅を小さくできるので、配線律則によるセンスアンプを小さくでき、かつセンスアンプに供給される電源の電圧降下を大幅に低減することができる。

【0020】以上のことにより、半導体チップを省面積化することができ、半導体集積回路装置の動作速度を大幅に向上することができる。

【0021】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。

【0022】（実施の形態1）図1は、本発明の実施の形態1による階層形ワード線構造のメモリにおける半導体チップのレイアウトの説明図、図2は、本発明の実施の形態1によるメモリのサブアレイおよびその周辺部におけるレイアウトの説明図、図3は、本発明の実施の形態1によるメモリに設けられたカラムデコーダにおける電源線の説明図である。

【0023】本実施の形態1において、256MビットのDRAMである階層形ワード線構造のメモリ（半導体集積回路装置）1のレイアウト構成は、図1に示すように、たとえば、単結晶シリコンなどの半導体ウエハ上に半導体素子が形成された半導体チップCHの長手方向の中央部に周辺回路SCが形成されている。

【0024】また、この周辺回路SCは、アドレスバッファ、データ入力バッファ、データ出力バッファおよび電源生成回路などから構成されている。アドレスバッファは、列方向のビット線を選択する列デコーダ、行、列方向のアドレス信号が入力され、それぞれの内部アドレス信号を発生させて出力する。データ出力バッファは、入力データを所定のタイミングにより取り込み、電源生成回路は、ワード線電位や周辺回路SCなどに供給される電源電圧を生成する。

【0025】また、その周辺回路SCの上段および下段がメモリセルアレイ領域となっており、2進情報の1ビ

ットを記憶するメモリセルがマトリクス構造に2次元配置されたメモリアレイ2が設けられている。

【0026】さらに、メモリアレイ2は、32Mビット毎に8分割されており、半導体チップCHの上段の長手方向に4つのメモリアレイ2が位置しており、半導体チップCHの下段の長手方向にも同様に、4つのメモリアレイ2が位置するように設けられている。

【0027】また、それぞれのメモリアレイ2には、メインワードドライバMWDならびにメモリアレイ2の制御を行うアレイコントロール3が形成されており、これらメインワードドライバMWD、アレイコントロール3は、前述した上段と下段のメモリセルアレイ領域における中央部、すなわち、2つのメモリアレイ2の間に位置するように形成されている。メインワードドライバMWDは、メモリアレイ2におけるメインワード線を駆動する。

【0028】アレイコントロール3を挟んで形成されている2分割毎のメモリアレイ2には、それぞれカラムデコーダ（読み出し系回路）4が設けられており、このカラムデコーダ4は、カラム方向のビット線を選択する。カラムデコーダ4は、半導体チップCHの周辺部近傍に位置するように形成されている。

【0029】さらに、メモリアレイ2は、所定のビット単位におけるメモリ容量で分割したサブアレイSから構成され、これらのサブアレイSが位置している領域がサブアレイ領域となっている。

【0030】また、サブアレイSおよびその周辺部（図1におけるハッチング部）は、図2に示すように、サブアレイSの両側端部に、行方向に複数に分割されたサブワード線を駆動するサブワードドライバSWDが位置しており、サブアレイSの上下部における位置には、セル信号を読み出し増幅を行うセンスアンプSAが設けられている。

【0031】さらに、各々のセンスアンプSAの間には、クロスエリアCAが設けられており、このクロスエリアCAには、アレイコントロール3から出力される制御信号に基づいてセンスアンプSAにソース電圧を供給するドライバが設けられている。

【0032】次に、カラムデコーダ4に供給される電源電圧について説明する。

【0033】カラムデコーダ4の上方には、図3に示すように、一方の端部から他方の端部にかけて一対の電源線5が形成されており、この電源線5によって該カラムデコーダ4に電源が供給される。

【0034】また、電源線5は、電源電圧 V_{DD} を供給する電源供給線5aと基準電位であるグランド電位 V_{SS} を供給するグランド配線5bとによって構成されている。さらに、電源線5には、複数の電源線（電源配線）6が接続されており、これら複数の電源線6によって電源電圧が供給されている。

【0035】それぞれの電源線6も、同様に電源電圧 V_{DD} を供給する電源供給線6aとグラウンド電位 V_{SS} を供給するグラウンド配線6bとによって構成されている。これら電源線6は、一方の端部が前述したように電源線5と接続され、他方の端部が周辺回路SCに形成されている電源線7と接続されており、たとえば、メモリアレイ2の上方のカラム選択線の間に配線が形成されている。

【0036】また、周辺回路SCに形成された電源線7も同様に、電源電圧 V_{DD} を供給する電源供給線7aと基準電位であるグラウンド電位 V_{SS} を供給するグラウンド配線7bとによって構成されている。

【0037】電源供給線7aは、前述した電源電圧 V_{DD} を生成する電源生成回路と接続されており、グラウンド配線7bは、半導体チップCHに形成されたグラウンド電位 V_{SS} 用のボンディングパッドと接続されている。

【0038】よって、これら複数の電源線6を用いて電源供給を分散してカラムデコーダ4の上方に形成された電源線5に電源を供給することにより、カラムデコーダ4に供給される電源の電圧降下を大幅に減少することができる。また、電源線6によって電源が分散して供給されているので、電源線5の配線幅を小さくすることができる。

【0039】それにより、本実施の形態1によれば、カラムデコーダ4の上方に形成された電源線5の配線幅を小さくできるので、配線律則であるカラムデコーダの幅も小さくすることができ、半導体チップCHを省面積化することができる。

【0040】また、カラムデコーダ4に供給される電源の電圧降下を低減できるので、メモリ1の動作速度を大幅に向上することができる。

【0041】（実施の形態2）図4は、本発明の実施の形態2による階層形ワード線構造のメモリにおけるセンスアンプに接続されるコモンソース配線の説明図である。

【0042】本実施の形態2においては、メモリ1が、前記実施の形態1と同様に256MビットのDRAMである階層形ワード線構造となっており、メモリ1のレイアウト構成も図1と同様であるが、センスアンプSAに電源電圧 V_{DDA} ～グラウンド電位 V_{SSA} 振幅のソース電圧が供給されるコモンソース配線8の配線が異なっている。

【0043】コモンソース配線（ソース供給配線）8は、図4に示すように、基準電位であるグラウンド電位 V_{SSA} が供給されているNコモンソース配線8aと、たとえば、電源電圧 V_{DD} を昇圧して生成された電源電圧 V_{DDA} が供給されるPコモンソース配線8bとによって構成されている。また、Nコモンソース配線8aは、センスアンプSA上方に形成された配線8a₁と、センスアンプSAの一方の端部近傍および他方の端部近傍において該配線8a₁と接続され、メモリアレイ2の上方に形

成された配線（バイパス用ソース供給配線）8a₂との2本の配線によって構成され、電源を分散して供給が行われている。

【0044】さらに、Pコモンソース配線8bも同様に、センスアンプSA上方に形成された配線8b₁と、センスアンプSAの一方の端部近傍および他方の端部近傍において該配線8b₁と接続され、メモリアレイ2の上方に形成された配線（バイパス用ソース供給配線）8b₂との2本の配線によって構成されており、電源が分散して供給されている。

【0045】また、これらNコモンソース配線8aならびにPコモンソース配線8bは、前述したようにそれぞれ2本の配線によって構成されているので、1本当たりの配線幅が小さく形成されている。

【0046】それにより、本実施の形態2では、センスアンプSAにソース電圧を分散して供給するコモンソース配線8により、センスアンプSA上方に形成された配線8a₁、8b₁の配線幅を小さくできるので、配線律則によるセンスアンプSAの大きさを小さくでき、半導体チップCHを省面積化することができる。

【0047】また、配線8a₂、8b₂によって、ソース電圧の配線が強化されるので、電圧降下を低減でき、センスアンプSAの動作を高速化することができる。

【0048】さらに、本実施の形態2においては、配線8a₁と配線8a₂および配線8b₁と配線8b₂が、センスアンプSAの一方の端部近傍および他方の端部近傍においてそれぞれ接続された構成としたが、メモリアレイ2上の配線を本数を複数にしたり、配線8a₁と配線8a₂ならびに配線8b₁と配線8b₂の接続箇所を複数にすることにより、より配線抵抗を低減することができる。

【0049】たとえば、メモリアレイ2上の配線を本数を複数にする場合、図5に示すように、Nコモンソース配線8aを3本の配線8a₁～8a₃によって構成する。新たに追加された配線（バイパス用ソース供給配線）8a₃も配線8a₂と同様にメモリアレイ2上に形成し、配線8a₂と接続を行うようにすればよい。

【0050】また、Pコモンソース配線8bにおいても同様に、新たに配線（バイパス用ソース供給配線）8b₃をメモリアレイ2上に形成し、配線8b₂と接続を行う。

【0051】さらに、配線8a₁、8a₂および配線8b₁、8b₂の接続箇所を複数にする場合には、図6に示すように、配線8a₁と配線8a₂とを梯子状に接続するなどして接続部を増加させることによってソース電圧の配線の強化を行う。配線8b₁と配線8b₂とも同様に梯子状に接して接続部を増加させることによってソース電圧の配線の強化を行う。

【0052】これにより、よりソース電圧の電圧降下を低減できるので、センスアンプSAの動作を一層高速化

することができる。

【0053】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0054】たとえば、前記実施の形態1によれば、カラムデコーダに電源供給を行う場合について記載したが、この電源供給は、カラムデコーダだけではなく、図7に示すように、センスアンプ（読み出し系回路）SAPならびにサブワードドライバ（読み出し系回路）SDなどに電源供給を行う複数の電源線（電源配線）9をメモリアレイ2上に形成するようにしてもよい。

【0055】これにより、センスアンプSA、サブワードドライバSWDに供給される電源電圧 V_{DD} の電圧降下を大幅に低減できるので、メモリ1の動作を大幅に高速化することができる。

【0056】また、前記実施の形態1、2においては、階層形ワード線構成のDRAMについて記載したが、非階層形のDRAMなどの半導体集積回路装置であっても、同様に半導体チップの省面積化ならびに動作の高速化を行うことができる。

【0057】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0058】（1）本発明によれば、複数の電源配線をメモリアレイ上に形成し、それら複数の電源配線により読み出し系回路に電源を供給することにより、電源配線の配線幅を小さくできるので、配線律則である読み出し系回路の幅を小さくすることができ、かつ読み出し系回路に供給される電源の電圧降下を大幅に低減することができる。

【0059】（2）また、本発明では、センスアンプにソース電圧を供給するソース供給配線に、メモリアレイ上に形成されたバイパス用ソース供給配線を接続することによって、ソース電圧を供給する配線幅を小さくできるので、配線律則によるセンスアンプを小さくでき、かつセンスアンプに供給される電源の電圧降下を大幅に低減することができる。

【0060】（3）さらに、本発明においては、上記（1）、（2）により、半導体集積回路装置を小型化でき、動作速度を大幅に向上することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1による階層形ワード線構造のメモリにおける半導体チップのレイアウトの説明図である。

【図2】本発明の実施の形態1によるメモリのサブアレイおよびその周辺部におけるレイアウトの説明図である。

【図3】本発明の実施の形態1によるメモリに設けられたカラムデコーダにおける電源線の説明図である。

【図4】本発明の実施の形態2による階層形ワード線構造のメモリにおけるセンスアンプに接続される共通ソース配線の説明図である。

【図5】本発明の他の実施の形態による階層形ワード線構造のメモリにおけるセンスアンプに接続される共通ソース配線の説明図である。

【図6】本発明のさらに他の実施の形態による階層形ワード線構造のメモリにおけるセンスアンプに接続される共通ソース配線の説明図である。

【図7】本発明の他の実施の形態によるメモリに設けられたセンスアンプおよびサブワードドライバにおける電源線の説明図である。

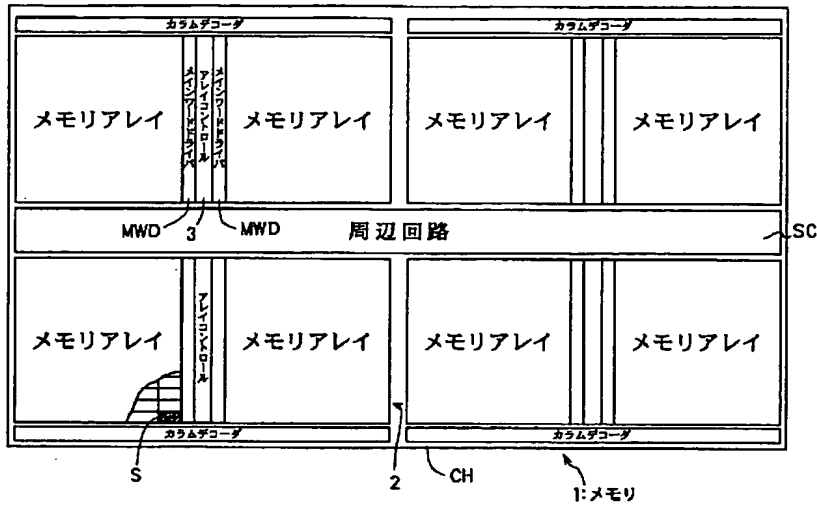
【符号の説明】

- 1 メモリ（半導体集積回路装置）
- 2 メモリアレイ
- 3 アレイコントロール
- 4 カラムデコーダ（読み出し系回路）
- 5 電源線
- 5a 電源供給線
- 5b グランド配線
- 6 電源線（電源配線）
- 6a 電源供給線
- 6b グランド配線
- 7 電源線
- 7a 電源供給線
- 7b グランド配線
- 8 共通ソース配線（ソース供給配線）
- 8a N共通ソース配線
- 8b P共通ソース配線
- 8a₁ 配線
- 8a₂ 配線（バイパス用ソース供給配線）
- 8b₁ 配線
- 8b₂ 配線（バイパス用ソース供給配線）
- 8a₃ 配線（バイパス用ソース供給配線）
- 8b₃ 配線（バイパス用ソース供給配線）
- 9 電源線（電源配線）
- CH 半導体チップ
- SC 周辺回路
- MWD メインワードドライバ
- SD サブワードドライバ（読み出し系回路）
- SWD サブワードドライバ
- S サブアレイ
- SA センスアンプ
- SAP センスアンプ（読み出し系回路）
- CA クロスエリア
- V_{DD} 電源電圧
- V_{DDA} 電源電圧
- V_{SS} グランド電位

V_{SSA} グランド电位

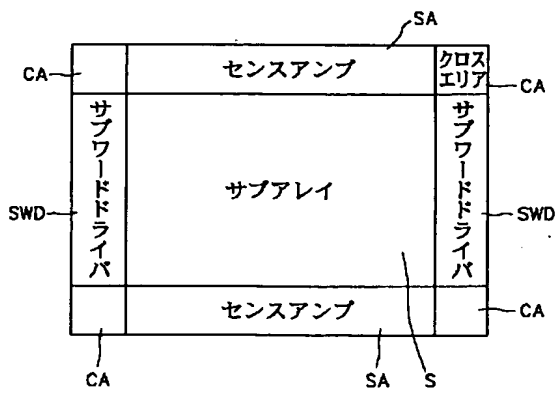
【図1】

図1



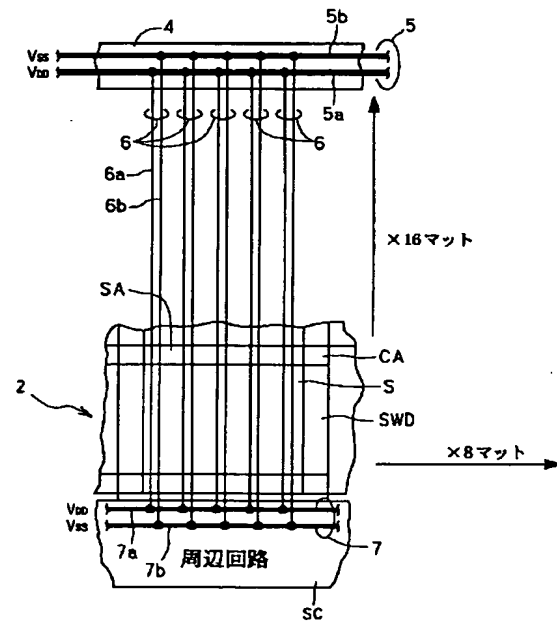
【図2】

図2



【図3】

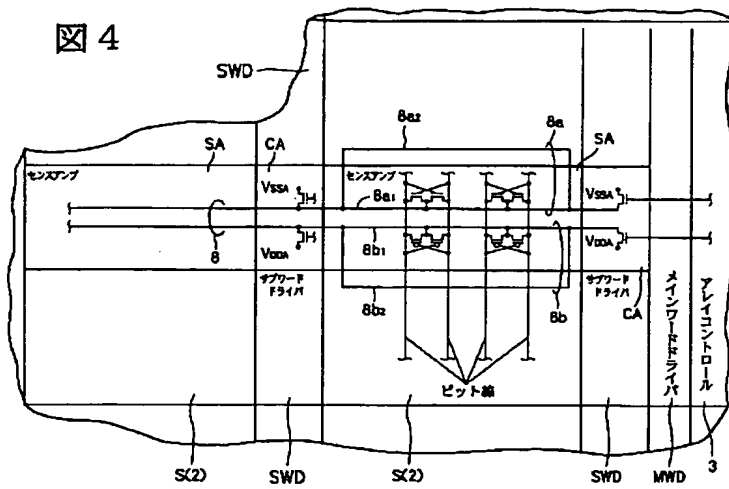
図3



2: メモリアレイ
4: カラムデコーダ(読み出し系回路)
6: 電源線(電源配線)

【図4】

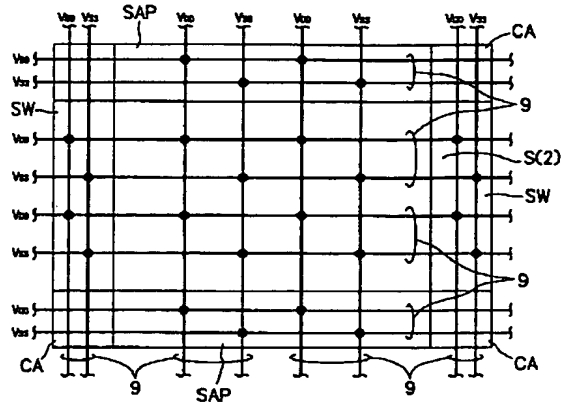
図4



8: コモンソース配線(ソース供給配線)
 8a2: 配線(バイパス用ソース供給配線)
 8b2: 配線(バイパス用ソース供給配線)

【図7】

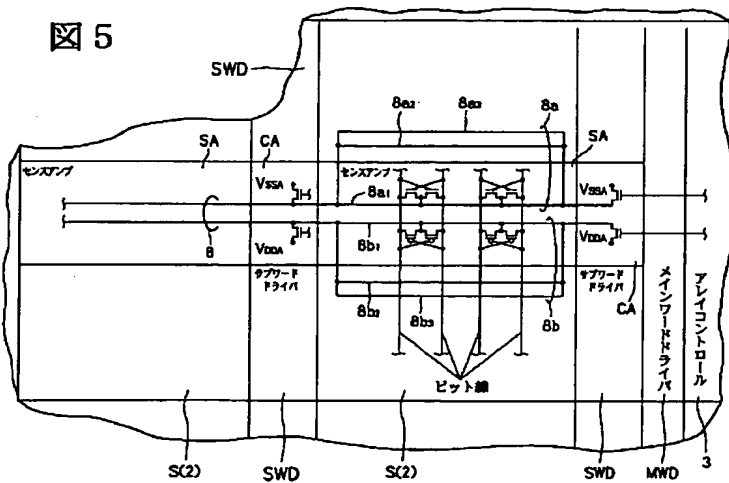
図7



9: 電源線(電源配線)
 SD: サブワードドライバ(読み出し系回路)
 SAP: センスアンプ(読み出し系回路)

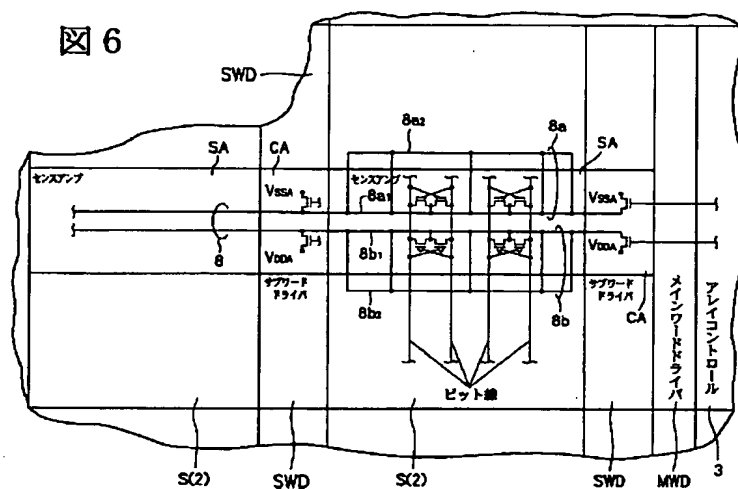
【図5】

図5



8a3: 配線(バイパス用ソース供給配線)
 8b3: 配線(バイパス用ソース供給配線)

【図6】



フロントページの続き

(72)発明者 宮武 伸一

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 鈴木 津幸

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 余公 秀之

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 宮内 秀敏

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 太田 陽

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 藤井 勇

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 伊藤 豊

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72)発明者 加藤 英明

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内